

UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Pertama  
Sidang Akademik 1996/97

Oktober/November 1996

EEE 225 - Elektronik Analog

Masa : [3 jam]

---

ARAHAN KEPADA CALON :

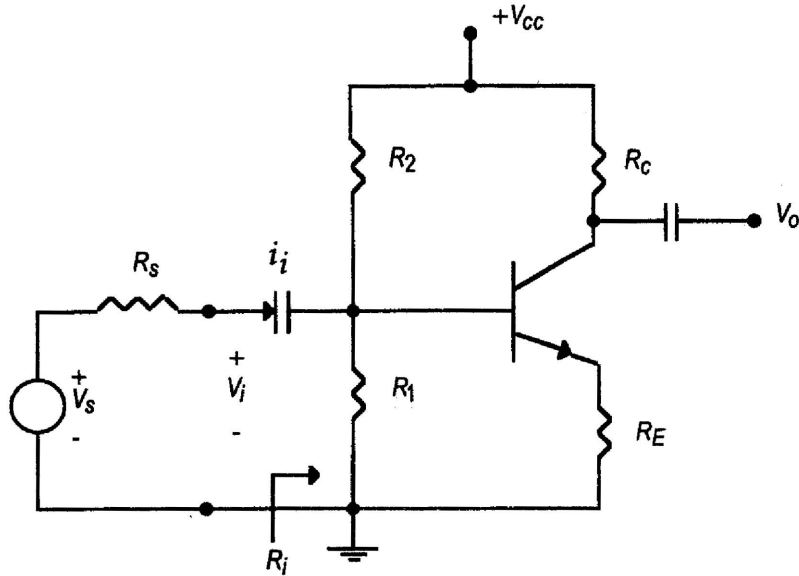
Sila pastikan bahawa kertas peperiksaan ini mengandungi **SEBELAS (11)** muka surat bercetak dan **LAPAN (8)** soalan sebelum anda memulakan peperiksaan ini.

Jawab **LIMA (5)** soalan.

Agihan markah bagi soalan diberikan di sut sebelah kanan soalan berkenaan.

Jawab semua soalan di dalam Bahasa Malaysia.

1.



**Rajah 1** (Figure 1)

Litar penguat BJT yang ditunjukkan oleh Rajah 1 mempunyai  $V_{CC} = 15V$ ,  $R_C = 5K\Omega$ ,  $R_E = 500\Omega$  dan  $R_S = 1K\Omega$ .  $\beta = 200$ ,  $V_{BE} = +0.7V$  bagi transistor npn.

The BJT amplifier circuit shown in Figure 1 has  $V_{CC} = 15V$ ,  $R_C = 5K\Omega$ ,  $R_E = 500\Omega$  and  $R_S = 1K\Omega$ .  $\beta = 200$ ,  $V_{BE} = +0.7V$  for the npn transistor.

- (a) Tentukan  $I_{CQ}$ ,  $V_{CEQ}$  dan lesapan kuasa maksimum pada transistor jika  $R_1 = 10K\Omega$  dan  $R_2 = 95K\Omega$ .

Find  $I_{CQ}$ ,  $V_{CEQ}$  and maximum power dissipation at the transistor, if  $R_1 = 10K\Omega$  and  $R_2 = 95K\Omega$ .

(40%)

- (b) Tentukan  $h_{ie}$  dan  $R_{in} = \frac{v_i}{i_i}$

Find  $h_{ie}$  and  $R_{in} = \frac{v_i}{i_i}$

(25%)

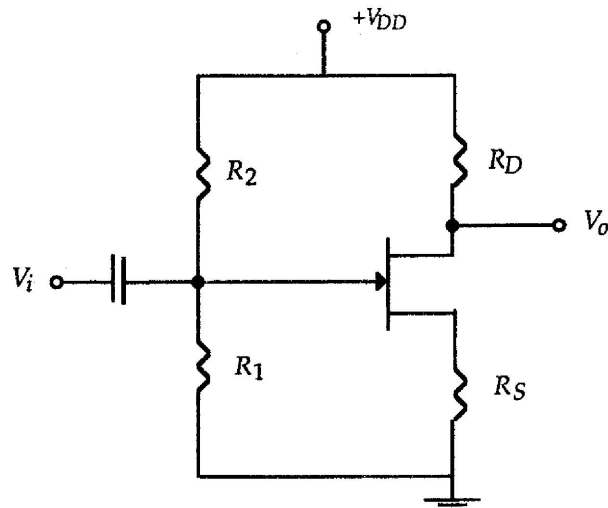
- (c) Tentukan  $A_v = \frac{v_o}{v_s}$

Find  $A_v = \frac{v_o}{v_s}$

(35%)

...3/-

2.



**Rajah 2** (Figure 2)

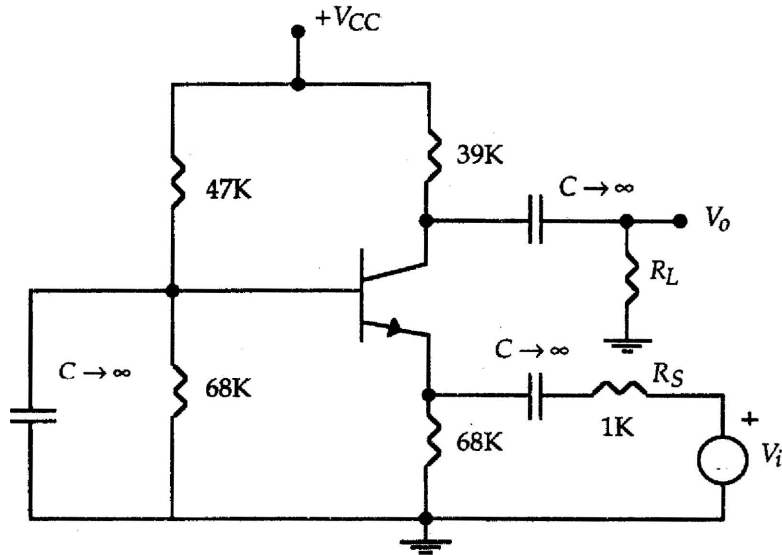
Satu JFET saluran-n mempunyai  $V_p = -5V$  dan  $I_{DSS} = 12 \text{ mA}$  digunakan oleh litar seperti yang ditunjukkan oleh Rajah 2. Nilai parameter litar ialah

An *n*-channel JFET having  $V_p = -5V$  and  $I_{DSS} = 12 \text{ mA}$  is used in the circuit shown in Figure 2. The circuit parameter values are

$$V_{DD} = 18V, R_S = 2K\Omega, R_D = 2K\Omega, R_2 = 410K\Omega, R_1 = 90K\Omega$$

- (a) Tentukan  $I_{DQ}$ ,  $V_{DSQ}$  dan  $g_m$ .  
Determine  $I_{DQ}$  and  $V_{DSQ}$  and  $g_m$ . (50%)
- (b) Tentukan gandaan voltan  $A_v = V_o/V_i$ . Anggapkan  $r_{DS} \rightarrow \infty$ .  
Determine voltage gain  $A_v = V_o/V_i$ . Assume  $r_{DS} \rightarrow \infty$ . (35%)
- (c) Apakah gandaan voltan jika tiga peringkat yang sama dikaskad melalui gandingan berkemuatan?  
What is the voltage gain if three identical stages are cascaded through capacitive coupling? (15%)

3.



**Rajah 3** (Figure 3)

- (a) Merujuk kepada Rajah 3, tentukan  $I_{CQ}$ . Diberikan  $\beta = 100$  dan  $V_{BE} = +0.7V$   
*Refer to Figure 3, find  $I_{CQ}$ . Given  $\beta = 100$  and  $V_{BE} = +0.7V$ .*  
 (10%)
- (b) Tentukan  $g_m$ ,  $r_{b'e}$ ,  $C_{b'e}$  bagi transistor yang mempunyai  $\beta = 100$ ,  $C_{OB} = 5 \text{ pF}$ ,  $f_T = 15 \text{ MHz}$  dan terpincang seperti di atas.  
*Find  $g_m$ ,  $r_{b'e}$ ,  $C_{b'e}$  for the transistor having  $\beta = 100$ ,  $C_{OB} = 5 \text{ pF}$  and  $f_T = 15 \text{ MHz}$  and biased as shown above.*  
 (30%)
- (c) Lukis litar setara isyarat kecil bagi litar dalam Rajah 3 menggunakan model setara hibrid- $\pi$  untuk transistor? Abaikan  $r_{bb'}$ ,  $r_{b'c}$  and  $r_{ce}$  (i.e.  $r_{bb'} \approx 0$ ,  $r_{b'c} \rightarrow \infty$ ,  $r_{ce} \rightarrow \infty$ ).  
*Draw the small signal equivalent circuit of the above circuit (Figure 3), using hybrid- $\pi$  equivalent model of transistor. Ignore  $r_{bb'}$ ,  $r_{b'c}$  and  $r_{ce}$  (i.e.  $r_{bb'} \approx 0$ ,  $r_{b'c} \rightarrow \infty$ ,  $r_{ce} \rightarrow \infty$ ).*  
 (20%)

...5/-

- (d) Tentukan titik-titik pecah frekuensi tinggi dalam sambutan frekuensi di masukan dan di keluaran (dalam sebutan  $R_L$ ). Pilih nilai maksimum  $R_L$ , supaya titik pecah di keluaran adalah sekurang-kurangnya sama dengan titik pecah di masukan.

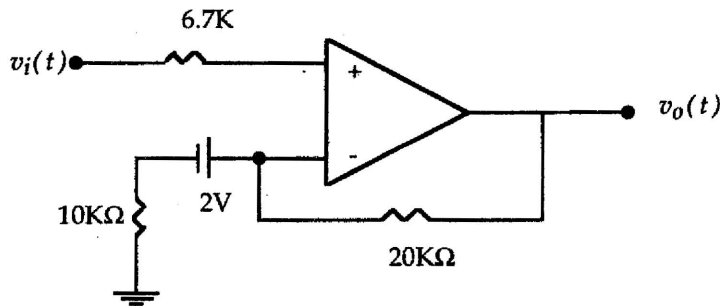
*Determine the high frequency breakpoints in the frequency response at the input end and at the output end (in terms of  $R_L$ ). Select maximum value of  $R_L$  so that the breakpoint at output end is at least equal to the breakpoint at input end.*

(40%)

4. Tentukan  $v_o(t)$  dalam sebutan  $v_i(t)$  dan parameter-parameter litar bagi litar ditunjukkan oleh Rajah 4a dan 4b. Anggapkan operasi OPAMP adalah unggul.

*Find  $v_o(t)$  in terms of  $v_i(t)$  and the circuit parameters for the circuits as shown in Figure 4a and 4b. Assume, ideal OPAMP operation.*

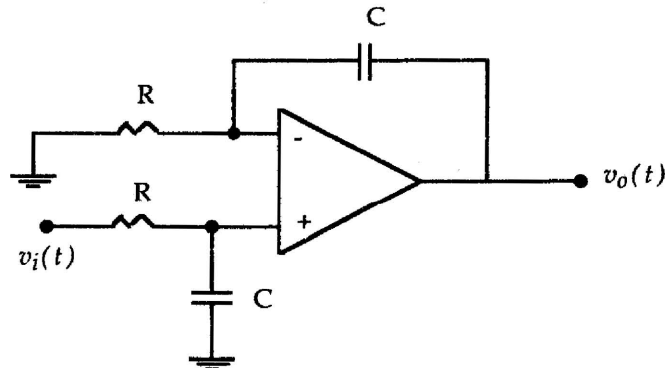
(a)



**Rajah 4a** (Figure 4a)

(50%)

(b)



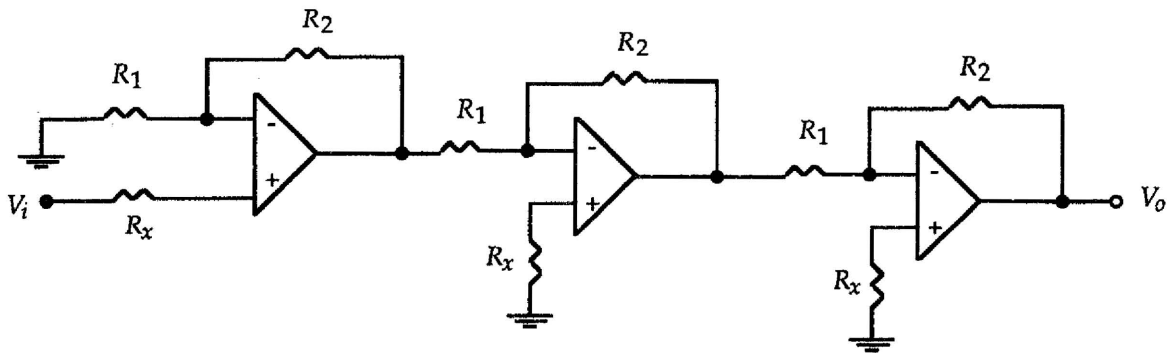
**Rajah 4b** (Figure 4b)

(50%)

...6/-

5. Satu penguat dibina dengan mengkaskad tiga OPAMP serbasama seperti ditunjukkan oleh Rajah 5.

*An amplifier is constructed by cascading three identical OPAMPS as shown in Figure 5.*



**Rajah 5** (Figure 5)

- (a) Tentukan gandaan voltan keseluruhan  $\frac{V_o}{V_i}$  pada frekuensi rendah jika  $R_2 = 1\text{M}\Omega$ , dan  $R_1 = 180\text{K}\Omega$ .

*Find overall voltage gain  $\frac{V_o}{V_i}$  at low frequencies if  $R_2 = 1\text{M}\Omega$ , and  $R_1 = 180\text{K}\Omega$ .*

(20%)

- (b) Kira lebarjalur -3dB bagi penguat keseluruhan untuk operasi isyarat kecil. Produk gandaan-lebarjalur bagi setiap OPAMP ialah 42 MHz.

*Calculate the -3dB bandwidth of the overall amplifier for small signal operation. The gain-bandwidth product of each OPAMP is 42 MHz.*

(30%)

- (c) Tentukan lebarjalur jika hanya satu OPAMP digunakan untuk mendapatkan gandaan sama dengan jumlah gandaan ketiga-tiga peringkat dalam kaskad. GBP adalah serupa seperti yang sebelumnya.

*Find the BW if a single OPAMP is used to realize the total gain of the three stages in cascade. The GBP is the same as before.*

(10%)

...7/-

- (d) Tentukan nilai  $R_x$  yang akan meminimumkan voltan ofset yang disebabkan oleh arus pincang masukan.

*Find the value of  $R_x$  which will minimize the offset voltage produced at output due to input bias currents.*

(10%)

- (e) Apakah magnitud maksimum  $V_i$  yang dibenarkan jika voltan tepu OPAMP ialah  $\pm 20V$ ?

*What is the maximum allowable magnitude of  $V_i$  if the saturation voltage of the OPAMPs is  $\pm 20V$ ?*

(10%)

- (f) Tentukan frekuensi maksimum isyarat masukan sinus apabila sistem penguat dikendalikan dalam mod isyarat-besar dengan voltan keluaran hampir kepada voltan keluaran terkadar,  $V_r = 18V$ . Kadar slu OPAMP ialah  $21V/\mu\text{sec}$

*Determine the maximum frequency of sinusoidal input signal when the amplifier system is operated in large-signal mode with output voltage close to the rated output voltage,  $V_r = 18V$ . Slew rate of the OPAMPs  $21 V/\mu\text{sec}$ .*

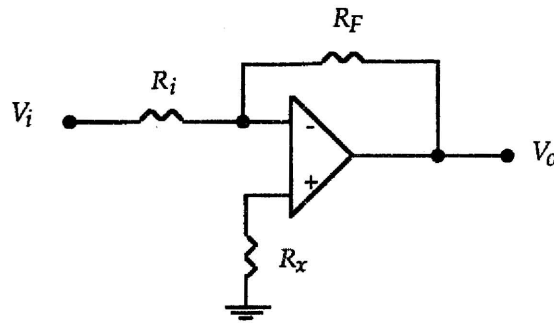
(20%)

6. Gandaan voltan gelung buka bagi satu OPAMP diberikan oleh  $G(f) = \frac{10^5}{1 + j0.1f}$  dan

$G(f) \equiv \frac{V_o}{V_+ - V_-}$  bagi isyarat-isyarat sinus.

*Open loop voltage gain of an OPAMP given by  $G(f) = \frac{10^5}{1 + j0.1f}$  where  $G(f) \equiv \frac{V_o}{V_+ - V_-}$  for sinusoidal signals.*

...8/-



**Rajah 6a** (Figure 6a)

Tentukan gandaan voltan gelung tutup  $A_v(f) \equiv \frac{V_o}{V_i}$  bagi penguat menyongsang yang ditunjukkan oleh Rajah 6a.  $R_i = 10 \text{ K}\Omega$ ,  $R_F = 90 \text{ K}\Omega$ ,  $R_x = 9 \text{ K}\Omega$ .

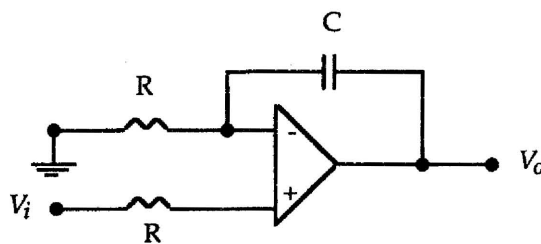
Find the closed loop voltage gain  $A_v(f) \equiv \frac{V_o}{V_i}$  for the inverting amplifier shown in Figure 6a.  $R_i = 10 \text{ K}\Omega$ ,  $R_F = 90 \text{ K}\Omega$ ,  $R_x = 9 \text{ K}\Omega$ .

Apakah lebarjalur -3dB dan produk gandaan-lebarjalur bagi penguat menyongsang tersebut?

What are the -3dB bandwidth and the gain-bandwidth product for the inverting amplifier?

(50%)

(b)



**Rajah 6b**(Figure 6b)

...9/-



Tentukan gandaan voltan gelung tutup  $A_v(f) \equiv \frac{V_o}{V_i}$  bagi litar dalam Rajah 6b jika

$R = 200 \text{ K}\Omega$  dan  $C = 80 \text{ nF}$ . Gandaan voltan gelung buka bagi OPAMP ialah

Find the closed loop voltage gain  $A_v(f) \equiv \frac{V_o}{V_i}$  for the above circuit if  $R = 200 \text{ K}\Omega$  and

$C = 80 \text{ nF}$ . Open loop voltage gain of the OPAMP is

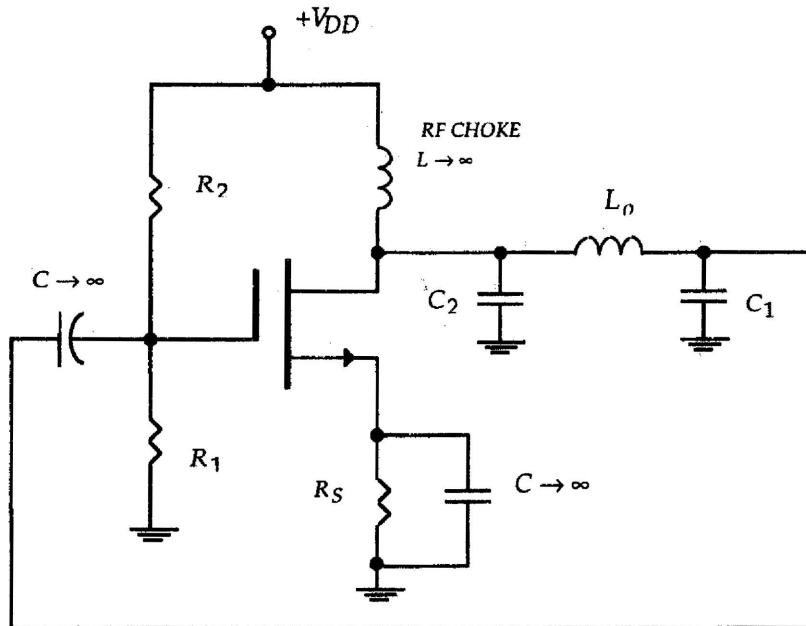
$$G(f) = \frac{10^5}{1 + j0.1f}$$

Adakah sistem tak stabil dalam mana-mana julat frekuensi?

Is the system unstable in any range of frequencies?

(50%)

7.



**Rajah 7** (Figure 7)

(a) Apakah jenis pengayun yang ditunjukkan dalam litar Rajah 7.

What is the type of oscillator shown in the circuit shown in Figure 7?

(10%)

...10/-

- (b) Analisis litar di atas untuk mendapatkan ungkapan bagi  $f_o$ , frekuensi ayunan, dan nilai minimum  $g_m$ , transkealiran MOSFET, yang diperlukan untuk mengekalkan ayunan. Anggapkan  $r_{DS}$  bagi FET adalah finit, galangan 'choke' RF infiniti dan galangan bagi kapasitor-kapasitor pirau dan gandingan adalah sifar. Abaikan kemuatan-kemuatan masukan MOSFET dan anggap  $R_G = R_1 || R_2 \gg \frac{1}{\omega C_1}$  dalam julat frekuensi operasi pengayun.

*Analyze the circuit to find expressions for  $f_o$ , the frequency of oscillation and the minimum value of  $g_m$ , the transconductance of the MOSFET, required for sustained oscillation. Assume  $r_{DS}$  of the FET to be finite, impedance of RF choke infinite and impedances of by pass and coupling capacitors zero. Ignore internal capacitances of the MOSFET and take  $R_G = R_1 || R_2 \gg \frac{1}{\omega C_1}$  in the frequency range of oscillator operation.*

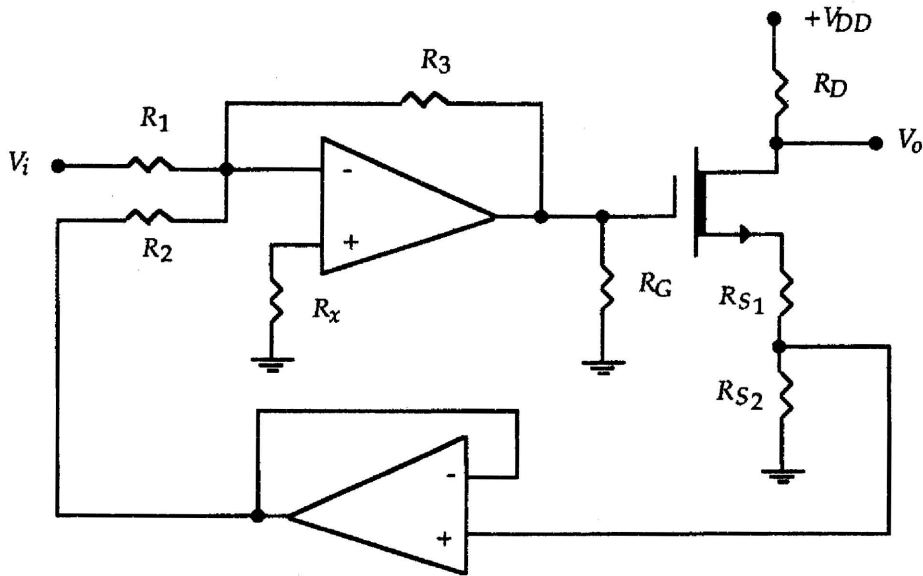
(60%)

- (c) Kirakan  $f_o$  dan  $g_m$  minimum yang diperlukan bagi litar untuk berfungsi sebagai pengayun.  $C_1 = C_2 = 200\text{pF}$ ,  $L_o = 10^{-6}$  henry,  $r_{DS} = 10\text{K}\Omega$ . Kemuatan-kemuatan masukan boleh diabaikan berbanding dengan nilai-nilai kapasitor luaran. Nilai-nilai pincang DC tidak diperlukan.

*Calculate  $f_o$  and minimum  $g_m$  required for proper functioning of the oscillator circuit.  $C_1 = C_2 = 200\text{pF}$ ,  $L_o = 10^{-6}$  henry,  $r_{DS} = 10\text{K}\Omega$ . Internal capacitances are negligible compared to external capacitor values. DC bias values are not required.*

(30%)

8.



**Rajah 8** (Figure 8)

- (a) Apakah jenis suapbalik yang digunakan dalam litar Rajah 8?  
*What type of feedback is employed in the circuit shown in Figure 8?* (10%)

- (b) Lukis litar setara isyarat-kecil bagi penguat suapbalik tersebut.  
*Draw the small-signal equivalent circuit of the feedback amplifier.* (10%)

- (c) Tentukan gandaan voltan  $\frac{v_o}{v_1}$  tanpa suapbalik.  
*Determine voltage gain  $\frac{v_o}{v_1}$  without feedback*

$$R_1 = R_2 = 10K, R_3 = 100K, R_G = 1M\Omega, R_x = 4.7K$$

$$R_D = 1.8K, R_{S2} = 40\Omega, R_{S1} = 560\Omega, V_{DD} = 18V$$

Parameter MOSFET susutan ialah

*The depletion MOSFET parameter are*

$$I_{DSS} = 20 \text{ mA}, V_p = -6V$$

(40%)

- (d) Tentukan  $\beta$  bagi rangkaian suapbalik tersebut dan kira gandaan voltan dengan suapbalik.

*Find  $\beta$  of the feedback network and calculate the voltage gain with feedback.*

(40%)